

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-037268

(43)Date of publication of application : 07.02.2003

(51)Int.Cl.

H01L 29/786

G09F 9/30

H01L 33/00

(21)Application number : 2001-223042

(71)Applicant : MINOLTA CO LTD

(22)Date of filing : 24.07.2001

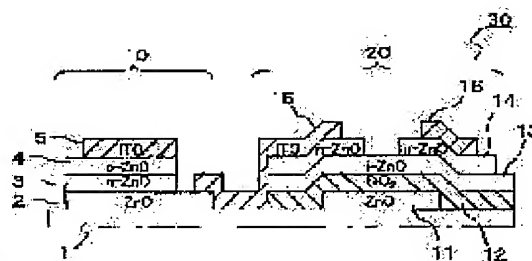
(72)Inventor : KITAMURA TAKESHI

(54) SEMICONDUCTOR ELEMENT AND MANUFACTURING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor element, in which the absorption of visible light of a semiconductor active layer is prevented and a thin film transistor and a light-emitting element are formed easily.

SOLUTION: For the light-emitting element 10 formed on a substrate 1, an n-type light-emitting layer 3 composed of n-type ZnO and a p-type light-emitting layer 4 composed of p-type ZnO and formed on a lower electrode 2 composed of ZnO and an upper electrode 5 composed of ITO is formed on the p-type light-emitting layer 4. For the thin film transistor 20, which switches the light-emitting element 10, the semiconductor active layer 13 composed of i-type ZnO is formed via an insulation layer 12 composed of SiO₂ on a gate 11 composed of ZnO and a drain 15 and a source 16 composed of ITO are formed via a contact layer 14, composed of n-type ZnO on the semiconductor active layer 13.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The semiconductor device characterized by forming a thin film transistor with the semiconductor barrier layer which penetrates the light, and the light emitting device which has the luminous layer with said same semi-conductor barrier layer and principal component on the same substrate.

[Claim 2] The semiconductor device according to claim 1 characterized by said luminous layer penetrating the light.

[Claim 3] Said semi-conductor barrier layer and said luminous layer are a semiconductor device according to claim 1 or 2 characterized by using a zinc oxide as a principal component.

[Claim 4] Said light emitting device is a semiconductor device according to claim 1 to 3 characterized by having the up electrode and lower electrode which impress an electrical potential difference, and said lower electrode using a zinc oxide as a principal component.

[Claim 5] The manufacture approach of the semiconductor device characterized by said semi-conductor barrier layer and said luminous layer consisting of the ingredient of the same principal component in the manufacture approach of the semiconductor device in which the thin film transistor which has a semi-conductor barrier layer, and the light emitting device which has a luminous layer were formed on the same substrate.

[Translation done.]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the semiconductor device in which the light emitting device and the thin film transistor (TFT) were formed on the same substrate, and its manufacture approach.

[0002]

[Description of the Prior Art] The semiconductor device of the spontaneous light type which integrated light emitting devices, such as an organic electroluminescence (EL) component, and the thin film transistor which switches a light emitting device is used for a flat-surface mold display etc.

[0003] The semi-conductor barrier layer which consists of silicon system ingredients, such as an amorphous silicon and polycrystalline silicon, through an insulating layer on the gate where the thin film transistor was formed on substrates, such as glass, is formed. On a semi-conductor barrier layer, the source and a drain are formed through a contact layer. A contact layer is prepared in order to secure the ohmic junction to the source and a drain. If an electrical potential difference is impressed to the gate, the switching element to which the source and a drain are connected electrically and change from a thin film transistor will be turned on.

[0004] Between the up electrode and the lower electrode, a luminous layer is inserted and the light emitting device is constituted. And if a switching element is turned on, an electrical potential difference will be impressed between the up electrode of a light emitting device, and a lower electrode, and a luminous layer will emit light.

[0005]

[Problem(s) to be Solved by the Invention] However, according to the above-mentioned conventional semiconductor device, the semi-conductor barrier layer of the thin film transistor formed with the ingredient of a silicon system absorbs the light. For this reason, in order to prevent malfunction by the incidence of the light from the outside, the protection-from-light layer needed to be prepared, and there was a problem to which structure becomes complicated.

[0006] Moreover, if it is a conductive ingredient, since it is good, communalization of a production process or a manufacturing installation is possible for the gate of a thin film transistor, the source, a drain and the up electrode of a light emitting device, and a lower electrode. However, respectively, since ingredients differ, communalization of a production process or a manufacturing installation is difficult for the contact layer of a thin film transistor, a semi-conductor barrier layer, and the luminous layer of a light emitting device, and they had the problem which requires a manufacturing cost.

[0007] This invention aims at offering the semiconductor device which can form a thin film transistor and a light emitting device easily while it can prevent absorption of the light of a semi-conductor barrier layer. Moreover, this invention aims at offering the manufacture approach of the semiconductor device which can form easily the semiconductor device which has a thin film transistor and a light emitting device.

[0008]

[Means for Solving the Problem] In order to attain the above-mentioned object, the semiconductor device of this invention is characterized by forming a thin film transistor with the semi-conductor barrier layer which penetrates the light, and the light emitting device which has the luminous layer with said same semi-conductor barrier layer and principal component on the same substrate.

According to this configuration, while being able to form a semi-conductor barrier layer and a luminous layer with the same membrane formation equipment, the spontaneous light type semiconductor device which has a thin film transistor without absorption of the light is obtained.

[0009] Moreover, this invention is characterized by said luminous layer penetrating the light in the semiconductor device of the above-mentioned configuration. According to this configuration, it becomes possible to obtain a transparent spontaneous light type semiconductor device.

[0010] Moreover, this invention is characterized by said semi-conductor barrier layer and said luminous layer using a zinc oxide as a principal component in the semiconductor device of each above-mentioned configuration. According to this configuration, the semiconductor device which can emit light in the light of blue short wavelength is obtained from ultraviolet.

[0011] Moreover, this invention has the up electrode and lower electrode with which said light emitting device impresses an electrical potential difference in the semiconductor device of each above-mentioned configuration, and said lower electrode is characterized by using a zinc oxide as a principal component. According to this configuration, the lower electrode which consists of a zinc oxide shows good crystallinity, and the good luminescence property of a luminous layer is acquired by a lower electrode's serving as a buffer layer and forming a luminous layer on it.

[0012] Moreover, the manufacture approach of the semiconductor device of this invention is characterized by said semi-conductor barrier layer and said luminous layer consisting of the ingredient of the same principal component in the manufacture approach of the semiconductor device in which the thin film transistor which has a semi-conductor barrier layer, and the light emitting device which has a luminous layer were formed on the same substrate. According to this configuration, a semi-conductor barrier layer and a luminous layer can be formed with the same membrane formation equipment.

[0013] In addition, in this invention, when saying, "A principal component is the same", and a component is completely the same about a semi-conductor barrier layer and a luminous layer, the case where the physical properties from which the stoichiometric ratio of each component presentation differs mutually, and differs mutually are shown and the case where the accessory constituent is doped by one [at least] base material are also included. For example, when the semi-conductor barrier layer was formed with the zinc oxide of i mold, the impurity of a minute amount is doped to the zinc oxide of a base material or a luminous layer is formed with the zinc oxide of n mold by making oxygen suffer a loss, the principal component (zinc oxide) of a semi-conductor barrier layer and a luminous layer is the same.

[0014]

[Embodiment of the Invention] The operation gestalt of this invention is explained with reference to a drawing below. Drawing 1 and drawing 2 are the top views and circuit diagrams showing the semiconductor device of the 1st operation gestalt. The semiconductor device 30 of this operation gestalt is carried in the flat-surface mold display. A semiconductor device 30 is arranged in the shape of a matrix, and each has become 1 pixel of a flat-surface mold display.

[0015] The 1-pixel semiconductor device 30 consists of the thin film transistor 20 and the light emitting device 10. The gate 11 (it corresponds to G of drawing 2) of a thin film transistor 20 (it corresponds to T1 [of drawing 2] - T four) is connected to the train selection line 33. The source 16 (it corresponds to S of drawing 2) of a thin film transistor 20 is connected to the line selection line 31.

[0016] When the gate 11 is high-level, the source 16 and a drain 15 (it corresponds to D of drawing 2) are connected electrically. Thereby, a thin film transistor 20 functions as a switching element. When the gate 11 is a low level, a thin film transistor 20 serves as OFF.

[0017] Moreover, the drain 15 is connected to the lower electrode 2 of a light emitting device 20. The up electrode 5 of a light emitting device 10 is connected to the actuation power-source line 32 which is a current source. Therefore, if the signal of a low level is given to the line selection line 31 of 1 by the line drive circuit 35, the thin film transistor (for example, T1, T2) connected to the line selection line 31 will be chosen.

[0018] If a signal level is impressed to the train selection line 33 to which the predetermined pixel was connected by the train drive circuit 36, an electrical potential difference will be impressed between the lower electrode 2 of the light emitting device 20 of a predetermined pixel, and the up electrode 5. Thereby, the light emitting device 10 (it corresponds to L of drawing 2) of a position

emits light. And a signal level is impressed to the line selection line 31 which adjoins by the line drive circuit 35 one by one, the predetermined pixel of each line emits light, and one screen is formed.

[0019] Drawing 3 shows the sectional view of a semiconductor device 30. The light emitting device 10 and the thin film transistor 20 are formed on the substrate 1 with which a semiconductor device 30 consists of sapphire. p mold luminous layer 4 which consists of ZnO of n mold luminous layer 3 which consists of ZnO of n mold, and p mold is formed on the lower electrode 2 with which a light emitting device 10 consists of ZnO (zinc oxide) of n mold. On p mold luminous layer 4, the up electrode 5 which consists of ITO (indium oxide tin) is formed.

[0020] The semi-conductor barrier layer 13 which consists of ZnO of i mold through the insulating layer 12 which consists of SiO₂ on the gate 11 where a thin film transistor 20 consists of ZnO is formed. On the semi-conductor barrier layer 13, the drain 15 and the source 16 which consist of ITO through the contact layer 14 which consists of ZnO of n mold are formed. Moreover, the drain 15 is connected to the lower electrode 2 of a light emitting device 10.

[0021] The manufacture approach of the semiconductor device 30 of the above-mentioned configuration is explained below with reference to drawing 4 - drawing 12. Drawing 4 and drawing 5 show the lower electrode formation process. As shown in drawing 4, on a substrate 1, the ZnO film 22 of n mold is formed by the approach of pulse laser deposition (it is called "PLD" below Pulsed Laser Deposition:) etc.

[0022] PLD is the approach of irradiating laser intermittently on the front face of the target matter placed into the vacuum chamber, making emit the constituent of a target by the excitation state, making deposit the scattering particle on the substrate installed in opposite, and forming a thin film. It has the descriptions — it is easy to obtain the crystalline outstanding film with the high degree of freedom of the possibility of membrane formation of the high-melting matter, and equipment.

[0023] Epitaxial growth can be carried out if ZnO is formed on the substrate 1 which consists of sapphire. Since it is used for an electrode, in order to make it low resistance, the ZnO film 22 dopes impurities, such as aluminum, B, Ga, and In, and is formed.

[0024] On the ZnO film 22, it is applied with a spinner etc., and a resist 21 carries out exposure development and patterning is carried out to a predetermined configuration. And a resist 21 is removed after etching the ZnO film 22 by approaches, such as RIE (Reactive Ion Etching), as shown in drawing 5. Thereby, the lower electrode 2 and the gate 11 are formed.

[0025] Drawing 6 and drawing 7 show the insulator layer / barrier layer formation process. As shown in drawing 6, on the lower electrode 2 and the gate 11, SiO₂ film 23 is formed by approaches, such as plasma CVD. On SiO₂ film 23, the i-ZnO film 24 which consists of an abbreviation intrinsic semiconductor (i-type semiconductor) is formed by PLD etc. Usually, ZnO shows the conductivity of n mold by existence of level based on an oxygen deficiency. However, the deficit of oxygen can be compensated with introducing an oxygen radical etc. at the time of membrane formation, and the ZnO film near an intrinsic semiconductor can be formed.

[0026] On the i-ZnO film 24, it is applied with a spinner etc., and a resist 21 carries out exposure development and patterning is carried out to a predetermined configuration. And a resist 21 is removed after etching SiO₂ film 23 and the i-ZnO film 24 by approaches, such as RIE, as shown in drawing 7. Thereby, an insulating layer 12 and the semi-conductor barrier layer 13 are formed.

[0027] Drawing 8 and drawing 9 show the n-type-semiconductor film formation process. As shown in drawing 8, on the semi-conductor barrier layer 13 and the lower electrode 2, the n-ZnO film 25 which consists of a n-type semiconductor is formed by PLD etc. As mentioned above, the ZnO film of n mold can be easily formed by addition of an oxygen deficiency or an impurity.

[0028] On the n-ZnO film 25, it is applied with a spinner etc., and a resist 21 carries out exposure development and patterning is carried out to a predetermined configuration. And a resist 21 is removed after etching the n-ZnO film 25 by approaches, such as RIE, as shown in drawing 9. Thereby, n mold luminous layer 3 and the contact layer 14 are formed.

[0029] In addition, over etching of the semi-conductor barrier layer 13 is carried out by etching of the n-ZnO film 25, thickness becomes thin, and a desired property may not be acquired. For this reason, it is more desirable when thickness of the i-ZnO film 24 used as the semi-conductor barrier layer 13 is thickened beforehand.

[0030] Drawing 10 and drawing 11 show the p type semiconductor film formation process. As shown in drawing 10, on n mold luminous layer 3 and the contact layer 14, the p-ZnO film 26 which consists

of a p type semiconductor is formed by PLD etc. By plasma-izing nitrous oxide and introducing in a chamber, ZnO can introduce N into compensating an oxygen deficiency and coincidence as an acceptor. In addition, Ga and N are simultaneously introduced by using the ZnO target which carried out little addition of the Ga, and the ZnO film of p mold can be formed.

[0031] On the p-ZnO film 26, it is applied with a spinner etc., and a resist 21 carries out exposure development and patterning is carried out to a predetermined configuration. And a resist 21 is removed after etching the p-ZnO film 26 by approaches, such as RIE, as shown in drawing 11 . Thereby, p mold luminous layer 4 is formed. Therefore, pn junction is formed of n mold luminous layer 3 and p mold luminous layer 4, and light emitting diode is constituted.

[0032] Drawing 12 shows the up electrode formation process. The ITO film 27 is formed by plasma CVD etc. on p mold luminous layer 4 and the contact layer 14. On the ITO film 27, it is applied with a spinner etc., and a resist 21 carries out exposure development and patterning is carried out to a predetermined configuration. And a resist 21 is removed after etching the ITO film 27 by approaches, such as RIE. Thereby, as shown in above-mentioned drawing 3 , the up electrode 5, a drain 15, and the source 16 are formed, and a semiconductor device 30 is obtained.

[0033] The lower electrode 2, the up electrode 5, the gate 11, a drain 15, and the source 16 may be formed with metal thin films, such as In, aluminum, and Cr. Moreover, when forming in transparency, oxide ingredients, such as a zinc oxide, indium oxide, and tin oxide, AZO (aluminum-oxide zinc), etc. may be used.

[0034] Moreover, although the thin film transistor 20 is the so-called bottom product gate mold with which the gate 11 was caudad allotted and a drain 15 and the source 16 were arranged up, you may make it the so-called top gate mold with which the gate 11 was allotted up and a drain 15 and the source 16 were arranged caudad.

[0035] Drawing 13 is the sectional view showing the semiconductor device 31 of the 2nd operation gestalt. The same sign is given to the same part as the 1st operation gestalt shown in above-mentioned drawing 1 of explanation for convenience - drawing 12 . A different point from the 1st operation gestalt is a point of having formed the stopper layer 17 which consists of SiN in the top face of the semi-conductor barrier layer 13. Other configurations are the same as that of the 1st operation gestalt.

[0036] Drawing 14 shows the stopper layer formation process. An SiN film is formed by plasma CVD etc. after the insulator layer / barrier layer formation process shown in above-mentioned drawing 7 . And a resist is applied with a spinner etc., exposure development is carried out and patterning is carried out to a predetermined configuration. Then, an SiN film is etched by approaches, such as RIE, and a resist is removed. Thereby, the stopper layer 17 is formed in the top face of the semi-conductor barrier layer 13.

[0037] Since RIE can give selectivity by the gas used at the time of etching of the n-ZnO film 25 (refer to drawing 8) which forms the contact layer 14, over etching of the semi-conductor barrier layer 13 is not carried out by forming the stopper layer 17. Thereby, property degradation of a thin film transistor 20 can be prevented.

[0038] According to the 1st and 2nd operation gestalt, the semi-conductor barrier layer 13 of a thin film transistor 20 is formed of ZnO of i mold. Since ZnO of i mold is a transparent material, it penetrates the light. Therefore, since there is no absorption of the light of the semi-conductor barrier layer 13, even if there is no protection-from-light layer, malfunction by absorbing outdoor daylight can be prevented.

[0039] And since the semi-conductor barrier layer 13 consists of ZnO of i mold and the luminous layer (3 4) of a light emitting device 10 consists of ZnO of n mold and p mold, the membrane formation equipment of the semi-conductor barrier layer 13 and a luminous layer (3 4) can be communalized. Thereby, the semiconductor device of the spontaneous light type which can prevent malfunction by absorption of outdoor daylight can be manufactured easily, without preparing a protection-from-light layer.

[0040] Furthermore, each electrode, a contact layer, and an insulating layer are formed with a transparent ingredient (ITO, ZnO, SiO₂), and since transparent silicon on sapphire is used, the whole semiconductor device is formed in transparency. By this, the semiconductor device of each above-mentioned operation gestalt can be attached in the parts of the windshield of an automobile etc., information can be displayed, and the activity application of a semiconductor device can be expanded.

[0041] Moreover, ZnO has the almost same band gap as GaN generally known as a luminescent material of blue glow, and its exciton binding energy is larger than GaN. For this reason, the light emitting diode which consists of ZnO can make blue glow emit light with luminous efficiency higher than the light emitting diode which consists of GaN. Moreover, by adding impurities, such as Cd and Mg, to ZnO, a band gap can be controlled and luminescence of the lights, such as blue, is also possible.

[0042] According to each above-mentioned operation gestalt, the spontaneous light type semiconductor device which can emit light in blue short wave Nagamitsu from ultraviolet can be manufactured easily. Therefore, the optical-communication equipment which can increase the information density of data communication can be constituted easily. Moreover, the spontaneous light type flat-surface mold display which carried the spontaneous light type semiconductor device can be constituted easily.

[0043] In each above-mentioned operation gestalt, sapphire is used as an ingredient of a substrate 1. If silicon on sapphire is used, epitaxial growth of the ZnO can be carried out and a crystalline good n-type semiconductor can be formed easily. Moreover, if the substrate which changes to sapphire and consists of glass is used, a semiconductor device can be formed cheaply.

[0044] In this case, although glass does not have crystallinity, the lower electrode 2 can be formed by ZnO and a crystalline good luminous layer (3 4) can be formed by making it function as a buffer layer. That is, a stacking tendency becomes good as the crystal which carried out c-axis oriented is obtained easily and thickness becomes thick, even if ZnO forms membranes on a glass substrate. For this reason, ZnO of n mold with which the lower electrode 2 used as the substrate of a luminous layer serves as a buffer layer, and serves as a luminous layer can be formed with sufficient crystallinity by forming 1000Å or more of thickness of the lower electrode 2.

[0045] Although the whole semiconductor device becomes less transparent, even if it uses silicon as an ingredient of a substrate 1, a semiconductor device can be formed cheaply. A crystalline good luminous layer (3 4) can be formed by forming the lower electrode 2 by ZnO and operating it as a buffer layer like the above, also in this case.

[0046] In addition, invention which has the following configurations is included in the above-mentioned concrete operation gestalt.

[0047] (1) The semiconductor device characterized by forming a thin film transistor with the semiconductor barrier layer which penetrates the light, and the light emitting device which has the luminous layer with said same semi-conductor barrier layer and principal component on the same substrate which consists of sapphire. While being able to obtain easily the semiconductor device which prevents malfunction by a semi-conductor barrier layer absorbing outdoor daylight, and can carry out spontaneous light of it according to this configuration, a crystalline good luminous layer can be obtained easily.

[0048] (2) The semiconductor device characterized by forming a thin film transistor with the semiconductor barrier layer which penetrates the light, and the light emitting device which has the luminous layer with said same semi-conductor barrier layer and principal component on the same substrate which consists of glass. [0049] which can obtain easily and cheaply the semiconductor device which according to this configuration prevents malfunction by a semi-conductor barrier layer absorbing outdoor daylight, and can carry out spontaneous light of it (3) It is the manufacture approach of the semiconductor device characterized by forming simultaneously the cascade screen of 1 of said thin film transistor thin film, and the cascade screen of 1 of said luminous layer while consisting of the ingredient with the principal component same [said semi-conductor barrier layer and said luminous layer] in the manufacture approach of the semiconductor device in which the thin film transistor which has a semi-conductor barrier layer, and the light emitting device which has a luminous layer were formed on the same substrate.

[0050] According to this configuration, for example, the lower electrode of the contact layer of a thin film transistor, the luminous layer of a light emitting device, the gate of a thin film transistor, and a light emitting device, the drain of a thin film transistor, the source, the up electrode of a light emitting device, etc. can be used as the respectively same ingredient, membranes can be formed simultaneously, and manufacture manday can be reduced.

[0051]

[Effect of the Invention] According to the semiconductor device of invention of claim 1, the semi-conductor barrier layer of a thin film transistor penetrates the light, and since the principal component of this semi-conductor barrier layer and the luminous layer of a light emitting device is the same, a semi-conductor barrier layer and a luminous layer can be formed with the same membrane formation equipment. Therefore, the semiconductor device which prevents malfunction by a semi-conductor barrier layer absorbing outdoor daylight, and can carry out spontaneous light of it can be obtained easily.

[0052] Moreover, since the luminous layer of a light emitting device penetrates the light according to the semiconductor device of invention of claim 2, it becomes possible to form the transparent semiconductor device which can carry out spontaneous light. Thereby, the activity application of a spontaneous light type semiconductor device is expandable.

[0053] Moreover, since the principal component of the semi-conductor barrier layer of a thin film transistor and the luminous layer of a light emitting device consists of a zinc oxide according to the semiconductor device of invention of claim 3, a semi-conductor barrier layer and a luminous layer can be formed with the same membrane formation equipment, and the semiconductor device which can carry out spontaneous light of the light of blue short wavelength can be easily obtained from ultraviolet. The spontaneous light type flat-surface mold display which carried by this the optical-communication equipment which can increase the information density of data communication, and a spontaneous light type semiconductor device can be constituted easily.

[0054] Moreover, since the lower electrode of a light emitting device consists of a zinc oxide according to the semiconductor device of invention of claim 4, the crystallinity of the field which forms a luminous layer can be secured and a light emitting device can be formed on a cheap glass substrate etc.

[0055] Moreover, since the principal component of a semi-conductor barrier layer and the luminous layer of a light emitting device is the same according to the manufacture approach of the semiconductor device invention of claim 5, a semi-conductor barrier layer and a luminous layer can be formed with the same membrane formation equipment. Thereby, a manufacturing cost is reducible.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the top view showing the semiconductor device of the 1st operation gestalt of this invention.

[Drawing 2] It is the circuit diagram showing the semiconductor device of the 1st operation gestalt of this invention.

[Drawing 3] It is the sectional view showing the semiconductor device of the 1st operation gestalt of this invention.

[Drawing 4] It is drawing showing the lower electrode formation process of the semiconductor device of the 1st operation gestalt of this invention.

[Drawing 5] It is drawing showing the lower electrode formation process of the semiconductor device of the 1st operation gestalt of this invention.

[Drawing 6] It is drawing showing the insulator layer / barrier layer formation process of the semiconductor device of the 1st operation gestalt of this invention.

[Drawing 7] It is drawing showing the insulator layer / barrier layer formation process of the semiconductor device of the 1st operation gestalt of this invention.

[Drawing 8] It is drawing showing the n-type-semiconductor film formation process of the semiconductor device of the 1st operation gestalt of this invention.

[Drawing 9] It is drawing showing the n-type-semiconductor film formation process of the semiconductor device of the 1st operation gestalt of this invention.

[Drawing 10] It is drawing showing the p type semiconductor film formation process of the semiconductor device of the 1st operation gestalt of this invention.

[Drawing 11] It is drawing showing the p type semiconductor film formation process of the semiconductor device of the 1st operation gestalt of this invention.

[Drawing 12] It is drawing showing the up electrode formation process of the semiconductor device of the 1st operation gestalt of this invention.

[Drawing 13] It is the sectional view showing the semiconductor device of the 2nd operation gestalt of this invention.

[Drawing 14] It is drawing showing the stopper layer formation process of the semiconductor device of the 2nd operation gestalt of this invention.

[Description of Notations]

1 Substrate

2 Lower Electrode

3 N Mold Luminous Layer

4 P Mold Luminous Layer

5 Up Electrode

10 Light Emitting Device

11 Gate

12 Insulating Layer

13 Semi-conductor Barrier Layer

14 Contact Layer

15 Drain

16 Source

20 Thin Film Transistor

30 40 Semiconductor device
31 Line Selection Line
32 Actuation Power-Source Line
33 Train Selection Line
35 Line Drive Circuit
36 Train Drive Circuit

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

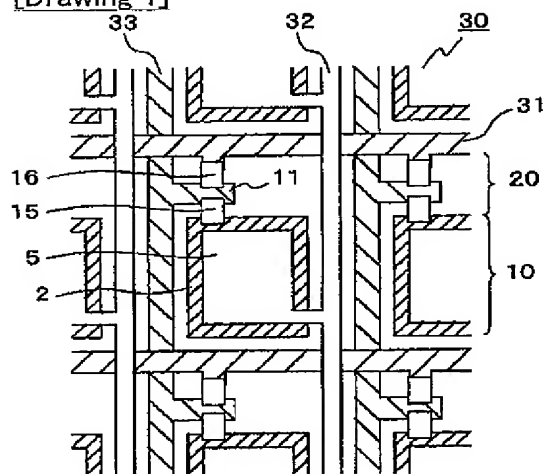
1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

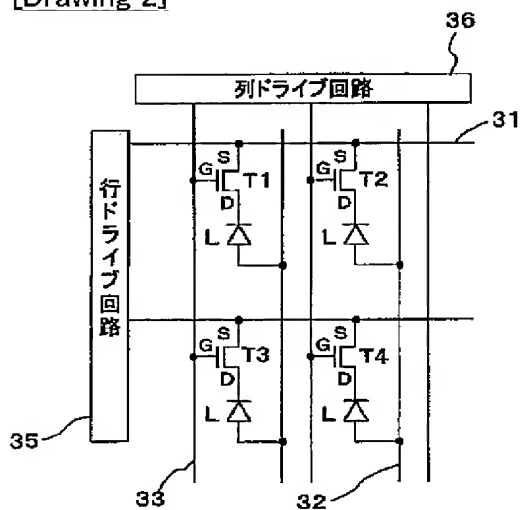
3. In the drawings, any words are not translated.

DRAWINGS

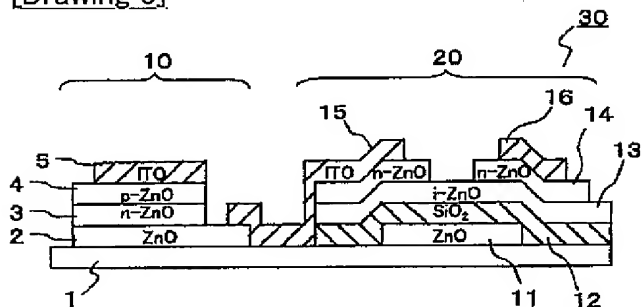
[Drawing 1]



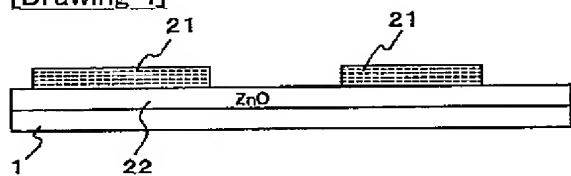
[Drawing 2]



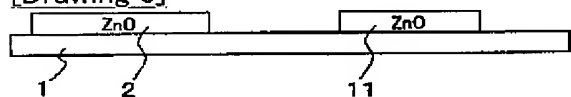
[Drawing 3]



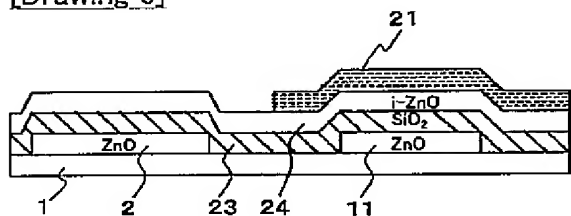
[Drawing 4]



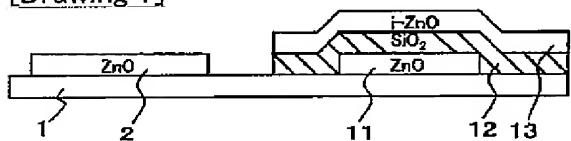
[Drawing 5]



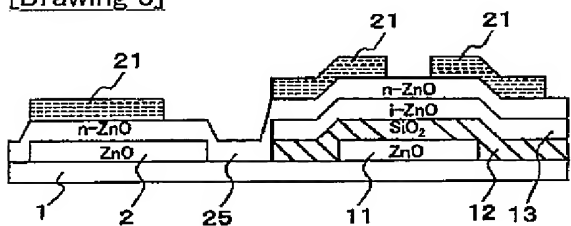
[Drawing 6]



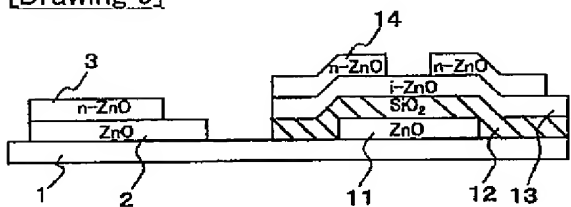
[Drawing 7]



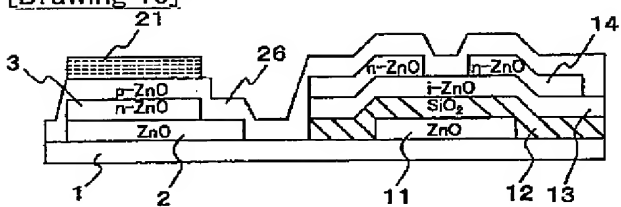
[Drawing 8]



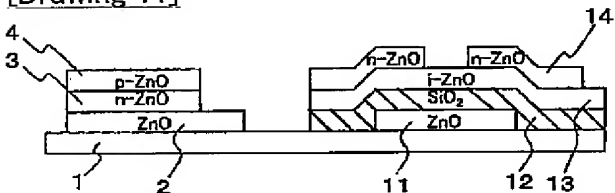
[Drawing 9]



[Drawing 10]



[Drawing 11]



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2003-37268
(P2003-37268A)

(43)公開日 平成15年2月7日(2003.2.7)

(51)Int.Cl. ⁷	識別記号	F I	テームト*(参考)
H 0 1 L 29/786		G 0 9 F 9/30	3 3 8 5 C 0 9 4
G 0 9 F 9/30	3 3 8	H 0 1 L 33/00	A 5 F 0 4 1
H 0 1 L 33/00		29/78	6 1 8 B 5 F 1 1 0
			6 1 3 Z

審査請求 未請求 請求項の数5 O L (全 8 頁)

(21)出願番号 特願2001-223042(P2001-223042)

(22)出願日 平成13年7月24日(2001.7.24)

(71)出願人 000006079

ミノルタ株式会社

大阪府大阪市中央区安土町二丁目3番13号
大阪国際ビル

(72)発明者 北村 健

大阪市中央区安土町二丁目3番13号 大阪
国際ビル ミノルタ株式会社内

(74)代理人 100085501

弁理士 佐野 静夫 (外1名)

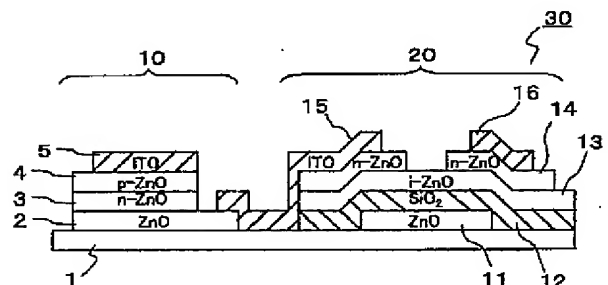
最終頁に続く

(54)【発明の名称】 半導体素子及びその製造方法

(57)【要約】

【課題】 半導体活性層の可視光の吸収を防止することができるとともに、薄膜トランジスタと発光素子とを容易に形成することができる半導体素子を提供する。

【解決手段】 基板1上に形成された発光素子10は、ZnOから成る下部電極2上にn型のZnOから成るn型発光層3及びp型のZnOから成るp型発光層4を形成し、p型発光層4上にITOから成る上部電極5を形成する。発光素子10をスイッチングする薄膜トランジスタ20は、ZnOから成るゲート11上にSiO₂から成る絶縁層12を介してi型のZnOから成る半導体活性層13を形成し、半導体活性層13上にn型のZnOから成るコンタクト層14を介してITOから成るドレイン15及びソース16を形成する。



【特許請求の範囲】

【請求項1】 可視光を透過する半導体活性層を有した薄膜トランジスタと、前記半導体活性層と主成分が同じ発光層を有する発光素子とを同一の基板上に形成したことを特徴とする半導体素子。

【請求項2】 前記発光層が可視光を透過することを特徴とする請求項1に記載の半導体素子。

【請求項3】 前記半導体活性層及び前記発光層は酸化亜鉛を主成分とすることを特徴とする請求項1または請求項2に記載の半導体素子。

【請求項4】 前記発光素子は電圧を印加する上部電極及び下部電極を有し、前記下部電極が酸化亜鉛を主成分とすることを特徴とする請求項1～請求項3のいずれかに記載の半導体素子。

【請求項5】 半導体活性層を有する薄膜トランジスタと、発光層を有する発光素子とを同一の基板上に形成した半導体素子の製造方法において、前記半導体活性層と前記発光層とが同じ主成分の材料から成ることを特徴とする半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は同一の基板上に発光素子と薄膜トランジスタ(TFT)とを形成した半導体素子及びその製造方法に関する。

【0002】

【従来の技術】有機エレクトロルミネッセンス(EL)素子等の発光素子と、発光素子をスイッチングする薄膜トランジスタとを集積化した自発光型の半導体素子は、平面型ディスプレイ等に用いられる。

【0003】薄膜トランジスタは、ガラス等の基板上に形成されたゲート上に絶縁層を介してアモルファスシリコンや多結晶シリコン等のシリコン系材料から成る半導体活性層が形成される。半導体活性層上にはコンタクト層を介してソース及びドレインが形成される。コンタクト層はソース及びドレインとのオーミック接合を確保するために設けられる。ゲートに電圧が印加されると、ソースとドレインとが電氣的に繋がって薄膜トランジスタから成るスイッチング素子がONになる。

【0004】発光素子は、上部電極と下部電極との間に発光層が挟まれて構成されている。そして、スイッチング素子がONになると、発光素子の上部電極と下部電極との間に電圧が印加され、発光層が発光するようになっている。

【0005】

【発明が解決しようとする課題】しかしながら、上記の従来の半導体素子によると、シリコン系の材料で形成された薄膜トランジスタの半導体活性層は可視光を吸収する。このため、外部からの可視光の入射による誤動作を防止するために遮光層を設ける必要があり、構造が複雑になる問題があった。

【0006】また、薄膜トランジスタのゲート、ソース、ドレイン及び発光素子の上部電極、下部電極は導電性材料であればよい。そのため製造工程や製造装置の共通化が可能である。しかし、薄膜トランジスタのコンタクト層、半導体活性層及び発光素子の発光層はそれぞれ材料が異なるため製造工程や製造装置の共通化が困難であり、製造コストがかかる問題があった。

【0007】本発明は、半導体活性層の可視光の吸収を防止することができるとともに、薄膜トランジスタと発光素子とを容易に形成することができる半導体素子を提供することを目的とする。また本発明は、薄膜トランジスタと発光素子とを有する半導体素子を容易に形成することができる半導体素子の製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】上記目的を達成するために本発明の半導体素子は、可視光を透過する半導体活性層を有した薄膜トランジスタと、前記半導体活性層と主成分が同じ発光層を有する発光素子とを同一の基板上に形成したことを特徴としている。この構成によると、半導体活性層と発光層とを同じ成膜装置によって形成することができるとともに、可視光の吸収のない薄膜トランジスタを有する自発光型の半導体素子が得られる。

【0009】また本発明は、上記構成の半導体素子において、前記発光層が可視光を透過することを特徴としている。この構成によると、透明な自発光型の半導体素子を得ることが可能となる。

【0010】また本発明は、上記各構成の半導体素子において、前記半導体活性層及び前記発光層は酸化亜鉛を主成分とすることを特徴としている。この構成によると、紫外から青色の短波長の光を発光可能な半導体素子が得られる。

【0011】また本発明は、上記各構成の半導体素子において、前記発光素子は電圧を印加する上部電極及び下部電極を有し、前記下部電極が酸化亜鉛を主成分とすることを特徴としている。この構成によると、酸化亜鉛から成る下部電極は良好な結晶性を示し、下部電極がバッファ層となってその上に発光層が形成されることにより発光層の良好な発光特性が得られる。

【0012】また本発明の半導体素子の製造方法は、半導体活性層を有する薄膜トランジスタと、発光層を有する発光素子とを同一の基板上に形成した半導体素子の製造方法において、前記半導体活性層と前記発光層とが同じ主成分の材料から成ることを特徴としている。この構成によると、半導体活性層と発光層とを同じ成膜装置によって形成することができる。

【0013】尚、本発明において、「主成分が同じ」という場合、半導体活性層及び発光層について構成材料が全く同じ場合だけでなく、それぞれの構成材料組成の化学量論比が互いに異なり互いに異なる物性を示す場合

や、少なくとも一方の母材に副成分がドーピングされている場合をも含む。例えば、i型の酸化亜鉛により半導体活性層を形成し、微量の不純物を母材の酸化亜鉛にドーピングしたり酸素を欠損させたりすることでn型の酸化亜鉛により発光層を形成した場合、半導体活性層及び発光層の主成分（酸化亜鉛）は同じである。

【0014】

【発明の実施の形態】以下に本発明の実施形態を図面を参照して説明する。図1、図2は第1実施形態の半導体素子を示す平面図及び回路図である。本実施形態の半導体素子30は、平面型ディスプレイに搭載されている。半導体素子30はマトリクス状に配列され、それぞれが平面型ディスプレイの一画素になっている。

【0015】一画素の半導体素子30は、薄膜トランジスタ20と発光素子10とから成っている。薄膜トランジスタ20（図2のT1～T4に対応する）のゲート11（図2のGに対応する）は列選択線33に接続されている。薄膜トランジスタ20のソース16（図2のSに対応する）は行選択線31に接続されている。

【0016】ゲート11がハイレベルの時、ソース16とドレイン15（図2のDに対応する）とが電氣的に接続される。これにより、薄膜トランジスタ20がスイッチング素子として機能するようになっている。ゲート11がローレベルの時、薄膜トランジスタ20はOFFとなる。

【0017】また、ドレイン15は発光素子20の下部電極2に接続されている。発光素子10の上部電極5は電流源である駆動電源線32に接続されている。従って、行ドライブ回路35によって一の行選択線31にローレベルの信号が与えられると、その行選択線31に接続されている薄膜トランジスタ（例えばT1、T2）が選択される。

【0018】所定の画素が接続された列選択線33に列ドライブ回路36によって信号電圧を印加すると、所定の画素の発光素子20の下部電極2と上部電極5との間に電圧が印加される。これにより、所定の位置の発光素子10（図2のLに対応する）が発光する。そして、行ドライブ回路35によって隣接する行選択線31に順次信号電圧が印加されて各行の所定の画素が発光して1画面が形成されるようになっている。

【0019】図3は半導体素子30の断面図を示している。半導体素子30はサファイヤから成る基板1上に発光素子10及び薄膜トランジスタ20が形成されている。発光素子10は、n型のZnO（酸化亜鉛）から成る下部電極2上にn型のZnOから成るn型発光層3及びp型のZnOから成るp型発光層4が形成されている。p型発光層4上にはITO（酸化インジウム錫）から成る上部電極5が形成されている。

【0020】薄膜トランジスタ20はZnOから成るゲート11上にSiO₂から成る絶縁層12を介してi型

のZnOから成る半導体活性層13が形成されている。半導体活性層13上には、n型のZnOから成るコンタクト層14を介してITOから成るドレイン15及びソース16が形成されている。また、ドレイン15は発光素子10の下部電極2に接続されている。

【0021】上記構成の半導体素子30の製造方法を図4～図12を参照して以下に説明する。図4、図5は下部電極形成工程を示している。図4に示すように、基板1上にはn型のZnO膜22がパルスレーザーデポジション（Pulsed Laser Deposition: 以下、「PLD」という）等の方法により成膜される。

【0022】PLDは、レーザーを真空チャンバー内に置かれたターゲット物質の表面に断続的に照射し、ターゲットの構成物質を励起状態で放出させ、その飛散粒子を対向に設置された基板上に堆積させて薄膜を形成する方法である。高融点の物質の成膜が可能、装置の自由度が高い、結晶性の優れた膜を得やすい等の特徴を有している。

【0023】サファイアから成る基板1上にZnOを成膜するとエピタキシャル成長させることができる。ZnO膜22は電極に使用されるので、低抵抗にするためにAl、B、Ga、In等の不純物をドーピングして形成される。

【0024】ZnO膜22上には、レジスト21がスピナー等により塗布され、所定形状に露光現像してパターンニングされる。そして、図5に示すように、RIE（Reactive Ion Etching）等の方法によりZnO膜22をエッチングした後、レジスト21を除去する。これにより、下部電極2及びゲート11が形成される。

【0025】図6、図7は絶縁膜/活性層形成工程を示している。図6に示すように、下部電極2及びゲート11上にはプラズマCVD等の方法によりSiO₂膜23が成膜される。SiO₂膜23上には、略真性半導体（i型半導体）から成るi-ZnO膜24がPLD等により成膜される。通常ZnOは酸素欠損に基づく準位の存在によりn型の導電性を示す。しかし、成膜時に酸素ラジカル等を導入することで酸素の欠損を補償でき、真性半導体に近いZnO膜を成膜することができる。

【0026】i-ZnO膜24上には、レジスト21がスピナー等により塗布され、所定形状に露光現像してパターンニングされる。そして、図7に示すように、RIE等の方法によりSiO₂膜23及びi-ZnO膜24をエッチングした後、レジスト21を除去する。これにより、絶縁層12及び半導体活性層13が形成される。

【0027】図8、図9はn型半導体膜形成工程を示している。図8に示すように、半導体活性層13及び下部電極2上には、n型半導体から成るn-ZnO膜25がPLD等により成膜される。上記のように、n型のZnO膜は酸素欠損または不純物の添加により容易に形成することができる。

【0028】 n -ZnO膜25上には、レジスト21がスピナー等により塗布され、所定形状に露光現像してパターンニングされる。そして、図9に示すように、RIE等の方法により n -ZnO膜25をエッチングした後、レジスト21を除去する。これにより、 n 型発光層3及びコンタクト層14が形成される。

【0029】尚、 n -ZnO膜25のエッチングにより半導体活性層13がオーバーエッチングされ、膜厚が薄くなって所望の特性が得られない場合がある。このため、半導体活性層13となる i -ZnO膜24の膜厚を予め厚くしておくことにより望ましい。

【0030】図10、図11は p 型半導体膜形成工程を示している。図10に示すように、 n 型発光層3及びコンタクト層14上には、 p 型半導体から成る p -ZnO膜26がPLD等により成膜される。ZnOは亜酸化窒素をプラズマ化してチャンバー内に導入することにより、酸素欠損を補償すると同時にアクセプターとしてNを導入することができる。これに加えて、Gaを少量添加したZnOターゲットを用いることでGaとNとが同時に導入され、 p 型のZnO膜を形成することができる。

【0031】 p -ZnO膜26上には、レジスト21がスピナー等により塗布され、所定形状に露光現像してパターンニングされる。そして、図11に示すように、RIE等の方法により p -ZnO膜26をエッチングした後、レジスト21を除去する。これにより、 p 型発光層4が形成される。従って、 n 型発光層3及び p 型発光層4により pn 接合が形成され、発光ダイオードが構成される。

【0032】図12は上部電極形成工程を示している。 p 型発光層4及びコンタクト層14上には、ITO膜27がプラズマCVD等により成膜される。ITO膜27上には、レジスト21がスピナー等により塗布され、所定形状に露光現像してパターンニングされる。そして、RIE等の方法によりITO膜27をエッチングした後、レジスト21を除去する。これにより、前述の図3に示すように、上部電極5、ドレイン15、ソース16が形成され、半導体素子30が得られる。

【0033】下部電極2、上部電極5、ゲート11、ドレイン15及びソース16は、In、Al、Cr等の金属薄膜により形成してもよい。また、透明に形成する場合には、酸化亜鉛、酸化インジウム、酸化錫等の酸化物材料や、AZO（酸化アルミニウム亜鉛）等を用いてもよい。

【0034】また、薄膜トランジスタ20はゲート11が下方に配され、ドレイン15及びソース16が上方に配された所謂ボトムゲート型になっているが、ゲート11が上方に配され、ドレイン15及びソース16が下方に配された所謂トップゲート型にしてもよい。

【0035】図13は第2実施形態の半導体素子31を

示す断面図である。説明の便宜上、前述の図1～図12に示す第1実施形態と同一の部分には同一の符号を付している。第1実施形態と異なる点は、半導体活性層13の上面にSiNから成るストッパ層17を設けている点である。その他の構成は第1実施形態と同一である。

【0036】図14はストッパ層形成工程を示している。前述の図7に示す絶縁層/活性層形成工程の後、SiN膜をプラズマCVD等により成膜する。そして、レジストをスピナー等により塗布し、所定形状に露光現像してパターンニングする。その後、RIE等の方法によりSiN膜をエッチングし、レジストを除去する。これにより、半導体活性層13の上面にストッパ層17が形成される。

【0037】コンタクト層14を形成する n -ZnO膜25（図8参照）のエッチング時において、使用するガスによりRIEは選択性を持たせることができるためストッパ層17を設けることにより半導体活性層13がオーバーエッチングされない。これにより、薄膜トランジスタ20の特性劣化を防止することができる。

【0038】第1、第2実施形態によると、薄膜トランジスタ20の半導体活性層13が i 型のZnOにより形成されている。 i 型のZnOは透明材料であるため、可視光を透過する。従って、半導体活性層13の可視光の吸収がないため、遮光層がなくても外光を吸収することによる誤動作を防止することができる。

【0039】そして、半導体活性層13が i 型のZnOから成り、発光素子10の発光層（3、4）が n 型及び p 型のZnOから成るため半導体活性層13及び発光層（3、4）の成膜装置を共通化することができる。これにより、遮光層を設けることなく外光の吸収による誤動作を防止できる自発光型の半導体素子を簡単に製造することができる。

【0040】更に、各電極、コンタクト層、絶縁層を透明な材料（ITO、ZnO、SiO₂）により形成し、透明なサファイア基板を用いているので半導体素子全体が透明に形成されている。これにより、例えば自動車のフロントガラス等の一部に上記各実施形態の半導体素子を取り付けて情報を表示させることができ、半導体素子の使用用途を拡大することができる。

【0041】また、ZnOは青色光の発光材料として一般に知られるGaNとほぼ同じバンドギャップを持ち、励起子結合エネルギーがGaNより大きい。このため、ZnOから成る発光ダイオードはGaNから成る発光ダイオードよりも高い発光効率で青色光を発光させることができる。また、ZnOにCdやMg等の不純物を添加することによってバンドギャップを制御でき、青色等の可視光の発光も可能である。

【0042】上記各実施形態によると、紫外から青色の短波長光を発光できる自発光型の半導体素子を簡単に製造することができる。従って、データ通信の情報密度を

増大させることができる光通信装置等を容易に構成することができる。また、自発光型の半導体素子を搭載した自発光型の平面型ディスプレイを容易に構成することができる。

【0043】上記各実施形態において、基板1の材料としてサファイアを用いている。サファイア基板を用いるとZnOをエピタキシャル成長させることができ、結晶性の良好なn型半導体を容易に形成することができる。また、サファイアに替えてガラスから成る基板を用いると安価に半導体素子を形成することができる。

【0044】この場合に、ガラスは結晶性を持たないが、下部電極2をZnOで形成し、バッファ層として機能させることにより結晶性の良好な発光層(3、4)を形成することができる。即ち、ZnOは、ガラス基板上に成膜してもc軸配向した結晶が容易に得られ、膜厚が厚くなるに従って配向性が良好になる。このため、下部電極2の膜厚を1000Å以上成膜することにより、発光層の下地となる下部電極2がバッファ層となって発光層となるn型のZnOを結晶性よく成膜することができる。

【0045】半導体素子全体が透明ではなくなるが、基板1の材料としてシリコンを用いても安価に半導体素子を形成することができる。この場合も上記と同様に、下部電極2をZnOで形成してバッファ層として機能させることによって結晶性の良好な発光層(3、4)を形成することができる。

【0046】尚、上記の具体的実施形態には以下の構成を有する発明が含まれている。

【0047】(1)可視光を透過する半導体活性層を有した薄膜トランジスタと、前記半導体活性層と主成分が同じ発光層を有する発光素子とをサファイアから成る同一の基板上に形成したことを特徴とする半導体素子。この構成によると、半導体活性層が外光を吸収することによる誤動作を防止して自発光できる半導体素子を容易に得ることができるとともに、結晶性の良好な発光層を容易に得ることができる。

【0048】(2)可視光を透過する半導体活性層を有した薄膜トランジスタと、前記半導体活性層と主成分が同じ発光層を有する発光素子とをガラスから成る同一の基板上に形成したことを特徴とする半導体素子。この構成によると、半導体活性層が外光を吸収することによる誤動作を防止して自発光できる半導体素子を容易且つ安価に得ることができる。

【0049】(3)半導体活性層を有する薄膜トランジスタと、発光層を有する発光素子とを同一の基板上に形成した半導体素子の製造方法において、前記半導体活性層と前記発光層とは主成分が同じ材料から成るとともに、前記薄膜トランジスタ薄膜の一の積層膜と前記発光層の一の積層膜とを同時に形成したことを特徴とする半導体素子の製造方法。

【0050】この構成によると、例えば、薄膜トランジスタのコンタクト層と発光素子の発光層や、薄膜トランジスタのゲートと発光素子の下部電極や、薄膜トランジスタのドレイン及びソースと発光素子の上部電極等をそれぞれ同じ材料にして同時に成膜し、製造工数を削減することができる。

【0051】

【発明の効果】請求項1の発明の半導体素子によると、薄膜トランジスタの半導体活性層が可視光を透過し、該半導体活性層及び発光素子の発光層の主成分が同じであるので、半導体活性層及び発光層を同じ成膜装置により形成することができる。従って、半導体活性層が外光を吸収することによる誤動作を防止して自発光できる半導体素子を容易に得ることができる。

【0052】また請求項2の発明の半導体素子によると、発光素子の発光層が可視光を透過するので、自発光できる透明な半導体素子を形成することが可能となる。これにより、自発光型の半導体素子の使用用途を拡大することができる。

【0053】また請求項3の発明の半導体素子によると、薄膜トランジスタの半導体活性層及び発光素子の発光層の主成分が酸化亜鉛から成るので、半導体活性層及び発光層を同じ成膜装置により形成することができ、紫外から青色の短波長の光を自発光できる半導体素子を容易に得ることができる。これにより、データ通信の情報密度を増大させることができる光通信装置や、自発光型の半導体素子を搭載した自発光型の平面型ディスプレイを容易に構成することができる。

【0054】また請求項4の発明の半導体素子によると、発光素子の下部電極が酸化亜鉛から成るので、発光層を形成する面の結晶性を確保することができ、安価なガラス基板等の上に発光素子を形成することができる。

【0055】また請求項5の発明の半導体素子の製造方法によると、半導体活性層及び発光素子の発光層の主成分が同じであるので、半導体活性層及び発光層を同じ成膜装置により形成することができる。これにより、製造コストを削減することができる。

【図面の簡単な説明】

【図1】 本発明の第1実施形態の半導体素子を示す平面図である。

【図2】 本発明の第1実施形態の半導体素子を示す回路図である。

【図3】 本発明の第1実施形態の半導体素子を示す断面図である。

【図4】 本発明の第1実施形態の半導体素子の下部電極形成工程を示す図である。

【図5】 本発明の第1実施形態の半導体素子の下部電極形成工程を示す図である。

【図6】 本発明の第1実施形態の半導体素子の絶縁膜/活性層形成工程を示す図である。

【図7】 本発明の第1実施形態の半導体素子の絶縁膜/活性層形成工程を示す図である。

【図8】 本発明の第1実施形態の半導体素子のn型半導体膜形成工程を示す図である。

【図9】 本発明の第1実施形態の半導体素子のn型半導体膜形成工程を示す図である。

【図10】 本発明の第1実施形態の半導体素子のp型半導体膜形成工程を示す図である。

【図11】 本発明の第1実施形態の半導体素子のp型半導体膜形成工程を示す図である。

【図12】 本発明の第1実施形態の半導体素子の上部電極形成工程を示す図である。

【図13】 本発明の第2実施形態の半導体素子を示す断面図である。

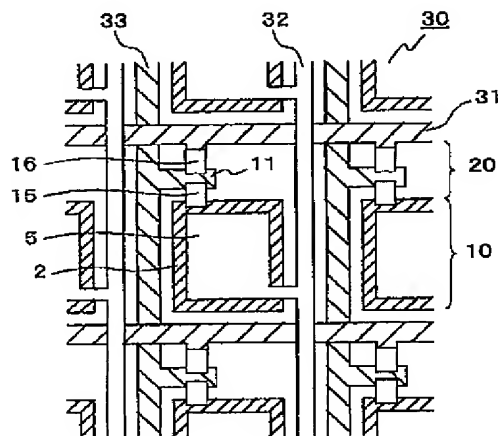
【図14】 本発明の第2実施形態の半導体素子のストップ層形成工程を示す図である。

【符号の説明】

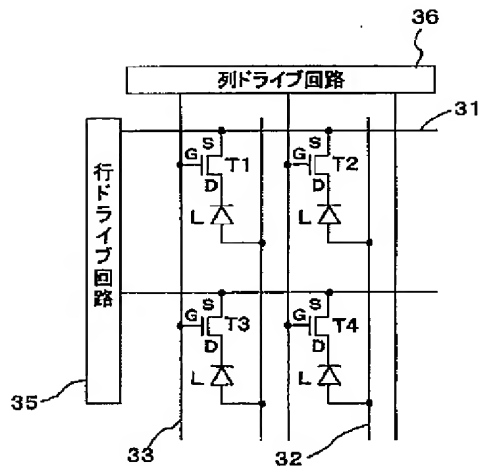
1 基板

- * 2 下部電極
- 3 n型発光層
- 4 p型発光層
- 5 上部電極
- 10 発光素子
- 11 ゲート
- 12 絶縁層
- 13 半導体活性層
- 14 コンタクト層
- 10 15 ドレイン
- 16 ソース
- 20 薄膜トランジスタ
- 30、40 半導体素子
- 31 行選択線
- 32 駆動電源線
- 33 列選択線
- 35 行ドライブ回路
- * 36 列ドライブ回路

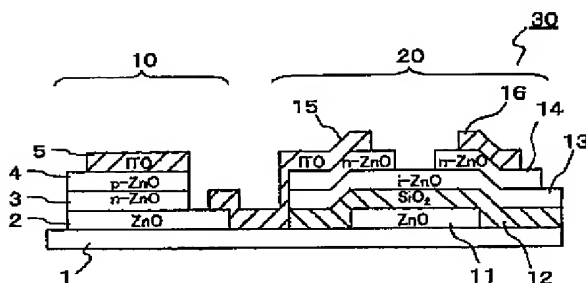
【図1】



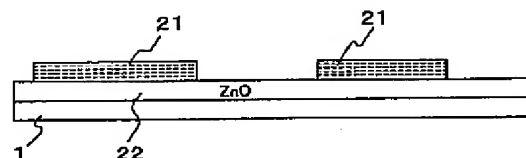
【図2】



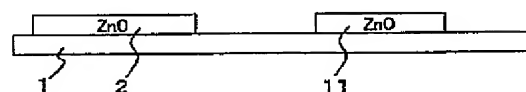
【図3】



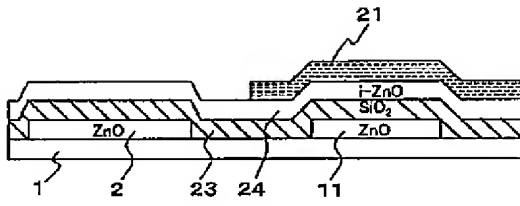
【図4】



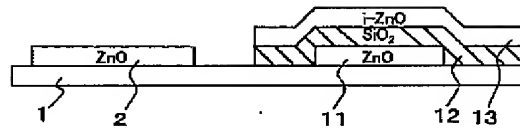
【図5】



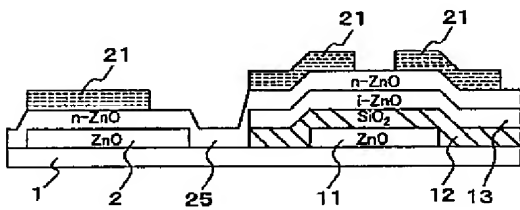
【図6】



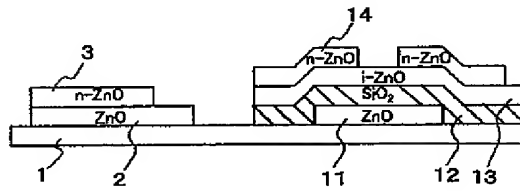
【図7】



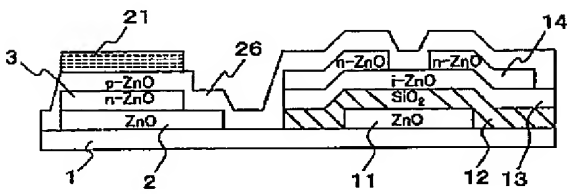
【図8】



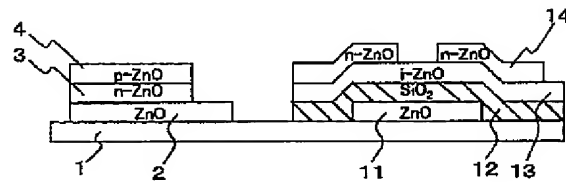
【図9】



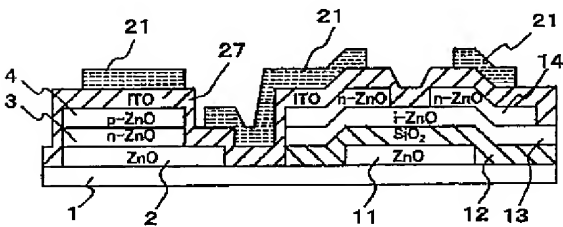
【図10】



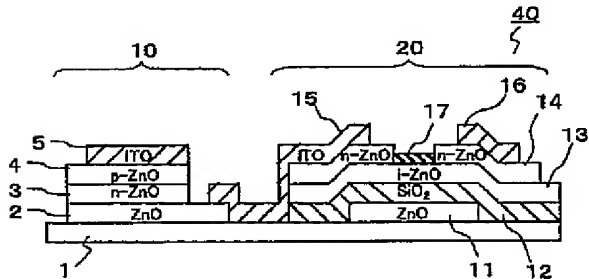
【図11】



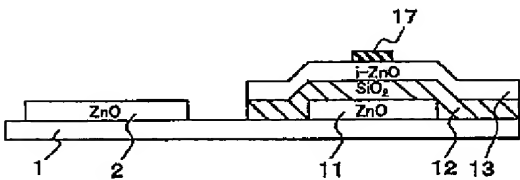
【図12】



【図13】



【図14】



フロントページの続き

F ターム(参考) 5C094 AA31 BA03 BA29 CA19 DA14
DA15 DB04 EA04 EA05 EA07
EB02 FB12 FB14 FB15
5F041 AA42 BB26 CA02 CA12 CA46
CA55 CA57 CA67 CA74 CA82
CA88 CB13 CB33 DB08 FF06
FF14
5F110 AA16 BB01 CC01 CC05 CC07
DD02 DD04 DD05 EE01 EE02
EE03 EE04 EE07 EE42 FF02
FF30 GG04 GG35 GG42 HK01
HK02 HK03 HK04 HK07 HK11
HK21 HK35 NN12 NN24 NN35
NN71